PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-022486
(43)Date of publication of application : 23.01.1996

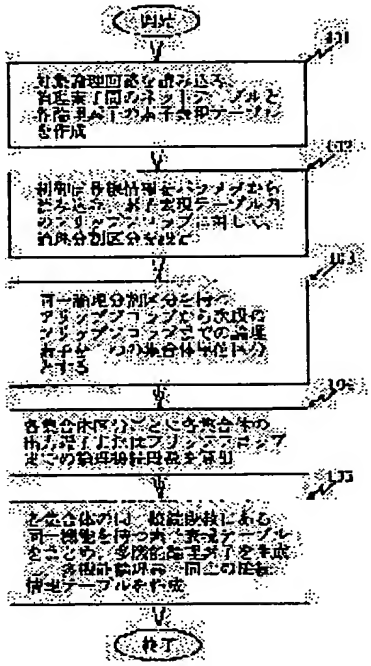
(51)Int.Cl. G06F 17/50

(21)Application number : 06-175980
(22)Date of filing : 05.07.1994

(71)Applicant : HITACHI LTD
(72)Inventor : MIZOGAMI YOSHITO

(54) LOGIC CIRCUIT SIMULATION METHOD

(57)Abstract:
PURPOSE: To accelerate a logic simulation processing without influencing the connection form of a logic circuit by changing an input signal value for respective ass mbli s, using a net expression table and a logic element expression table newly gen rated for the respective assemblies and propagating the signal value.
CONSTITUTION: The connection relation of respective logic elements and a flip-flop or th input terminal of an object logic circuit and connection states among the respectiv logic elements are prepared (101,) the connection states are classified by adding th division section numbers of flip-flop logic elements based on the paramet rs of the control signal lines of clocks or the like (102) and the respective logic elements of the object logic circuit are divided into the assemblies of a control signal unit (103.) A logic element stage number until the output terminal of an object ass mbly is traced and a connection stage number until an output terminal point is set (104.) The ones for which the division section of the control signal unit and an element function are the same and an input number is the same further are gathered and th n w table is prepared.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Dat of r gistration]

[Number of appeal against examiner's decision of rejection]

[Dat of r questing appeal against examiner's decision of rejection]

[Dat of extinction of right]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平8－22486

(43)公開日　平成８年(1996)１月23日

(51)Int.Cl.⁶	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０６Ｆ　17/50				
		9191－5Ｈ	Ｇ０６Ｆ　15/ 60　３６０　Ｄ	

審査請求　未請求　請求項の数３　ＦＤ　（全８頁）

(21)出願番号　特願平6－175980

(22)出願日　平成６年(1994)７月６日

(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地

(72)発明者　清上　良人
神奈川県秦野市堀山下１番地　株式会社日立製作所汎用コンピュータ事業部内

(74)代理人　弁理士　笹岡　茂　（外１名）

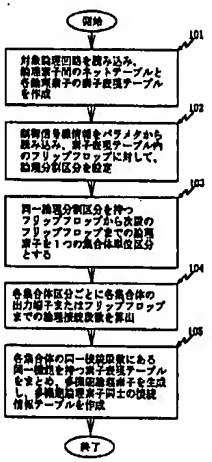
(54)【発明の名称】　論理回路シミュレーション方法

(57)【要約】

【目的】　論理回路の接続形態に影響を与えず、論理素子の信号変化のイベント数を削減し、論理シミュレーション処理を高速化することにある。

【構成】　論理回路の論理素子及びその接続の情報を計算機に読込み、ネット表現テーブル（以下、テーブル１）及び論理素子表現テーブル（以下、テーブル２）を作成し、論理回路における指定された制御信号線のパラメタをもとに論理回路の接続状態をテーブル１及び２をトレースして各論理素子を制御信号線単位の集合体に分割し、集合体単位毎にテーブル１及び２をトレースして各論理素子の論理回路における接続段数を求め、同一集合体における同一接続段数の論理素子のテーブル２を抽出し、該同一接続段数の論理素子を多入力素子としてまとめ、該多入力素子のテーブル２を新たに生成すると共に該テーブル２に関連する新たなテーブル１を生成し、この新たなテーブルを用いてシミュレーションをする。

図１



【特許請求の範囲】

【請求項１】　論理回路における論理素子及びその接続の情報を計算機に読み込み、計算機上で前記論理回路の論理動作の検証を行なう論理回路シミュレーション方法において、

論理回路における論理素子及びその接続の情報を計算機に読み込み、ネット表現テーブル及び論理素子表現テーブルを作成し、

論理回路における指定された制御信号線のパラメタをもとに論理回路の接続状態を前記ネット表現テーブル及び論理素子表現テーブルをトレースして論理回路の各論理素子を制御信号線単位の集合体に分割し、

制御信号線単位の集合体単位毎に前記ネット表現テーブル及び論理素子表現テーブルをトレースして各論理素子の論理回路における接続段数を求め、

同一集合体における同一接続段数の論理素子の論理素子表現テーブルを抽出し、該同一接続段数の論理素子を多入力素子としてまとめ、該多入力素子の論理素子表現テーブルを新たに生成すると共に該論理素子表現テーブルに関連する新たなネット表現テーブルを生成し、

前記各集合体毎に入力信号値を変化させ、各集合体毎に前記新たに生成したネット表現テーブル及び論理素子表現テーブルを用いて信号値伝播を行なうことを特徴とする論理回路シミュレーション方法。

【請求項２】　請求項１記載の論理回路シミュレーション方法において、

前記論理回路の各論理素子を制御信号線単位の集合体に分割するとき、

論理回路における指定された制御信号線のパラメタをもとに該制御信号線からフリップフロップの論理素子表現テーブルまでの接続状態をトレースし、各制御信号線単位にフリップフロップの論理素子表現テーブルに分割区分番号を付与して分類し、次いで分割区分番号が同一のフリップフロップの論理素子表現テーブルから接続先のネット表現テーブル及び論理素子表現テーブルを順次トレースし、分割区分番号が異なるフリップフロップの論理素子表現テーブルあるいは論理回路の入出力端子を端点として、該端点までに存在する論理素子表現テーブルにトレース開始のフリップフロップの論理素子表現テーブルと同じ分割区分番号を付与し、同一の分割区分番号を付与された論理素子表現テーブルの各論理素子を制御信号線単位の集合体とすることを特徴とする論理回路シミュレーション方法。

【請求項３】　請求項１記載の論理回路シミュレーション方法において、

前記各論理素子の論理回路における接続段数を求めるとき、

前記集合体単位内の入力端子あるいは入力側フリップフロップから各論理素子までの遅延時間を求め、同一遅延時間を持つ論理素子を同一接続段数とすることを特徴とする論理回路シミュレーション方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、処理回路の論理検証に用いる論理シミュレーションに係り、特に、論理検証対象論理回路における最適な論理統合手法に関するものである。

【０００２】

【従来の技術】デジタル論理回路の論理設計において、設計対象の論理回路をハードウエアとして作成することなしに、その論理機能が正しいか否か検証する手段として、論理シミュレーションを用いた動作確認を実施している。これらの論理シミュレーション手法として、特開昭６３－２１１０３６号公報や特開平３－４２７３６号公報で示されるように、設計対象の論理回路を論理回路シミュレーションに適した構造に論理素子を組織し、計算機時間の短縮・使用メモリ量を削減する手法がある。また、回路のゲート種類で処理を分割し、並列の論理シミュレーションを実現する手法として、特開平３－９１８６９号公報に示される手法があげられ、同一機能の論理素子を１集合体として取り扱う論理回路シミュレーション方法としては、特開平５－４６６９４号公報で提案されているが、フリップフロップ単位を対象としており、１集合体の出力端子を１本にまとめて各論理素子間の信号変化を伝播する手段である信号変化イベント数を削減する手法を用いているが、フリップフロップ以外の論理素子については、これらの集合体としての考慮がなされていない。

【０００３】

【発明が解決しようとする課題】従来手法では、対象論理回路の各論理素子について削除、最適化することが可能であるが、論理シミュレーションの処理速度に関連の深い論理素子の信号変化イベント量については、考慮が不十分である。すなわち、信号変化のない論理素子の削減手法、同一機能の論理素子を一連の処理対象グループとして分割し、各論理素子単位に論理シミュレーション処理を実行することであり、論理素子信号変化が発生する論理素子の個数に変化はなく、信号変化のイベントは変わらない。したがって、論理シミュレーション処理のイベント処理時間は削減することができない。本発明の目的は、論理回路の接続形態に影響を与えず、論理素子の信号変化のイベント数を削減し、論理シミュレーション処理を高速化することにある。

【０００４】

【課題を解決するための手段】上記目的を達成するため、本発明は、論理回路における論理素子及びその接続の情報を計算機に読み込み、計算機上で前記論理回路の論理動作の検証を行なう論理回路シミュレーション方法において、論理回路における論理素子及びその接続の情報を計算機に読み込み、ネット表現テーブル及び論理素

3 4

子表現テーブルを作成し、論理回路における指定された制御信号線のパラメタをもとに論理回路の接続状態を前記ネット表現テーブル及び論理素子表現テーブルをトレースして論理回路の各論理素子を制御信号線単位の集合体に分割し、制御信号線単位の集合体単位毎に前記ネット表現テーブル及び論理素子表現テーブルをトレースして各論理素子の論理回路における接続段数を求め、同一集合体における同一接続段数の論理素子の論理素子表現テーブルを抽出し、該同一接続段数の論理素子を多入力素子としてまとめ、該多入力素子の論理素子表現テーブルを新たに生成すると共に該論理素子表現テーブルに関連する新たなネット表現テーブルを生成し、前記各集合体毎に入力信号値を変化させ、各集合体毎に前記新たに生成したネット表現テーブル及び論理素子表現テーブルを用いて信号値伝播を行なうようにしている。

【0005】また、前記論理回路の各論理素子を制御信号線単位の集合体に分割するとき、論理回路における指定された制御信号線のパラメタをもとに該制御信号線からフリップフロップの論理素子表現テーブルまでの接続状態をトレースし、各制御信号線単位にフリップフロップの論理素子表現テーブルに分割区分番号を付与して分類し、次いで分割区分番号が同一のフリップフロップの論理素子表現テーブルから接続先のネット表現テーブル及び論理素子表現テーブルを順次トレースし、分割区分番号が異なるフリップフロップの論理素子表現テーブルあるいは論理回路の入出力端子を端点として、該端点までに存在する論理素子表現テーブルにトレース開始のフリップフロップの論理素子表現テーブルと同じ分割区分番号を付与し、同一の分割区分番号を付与された論理素子表現テーブルの各論理素子を制御信号線単位の集合体とするようにしている。

【0006】また、前記各論理素子の論理回路における接続段数を求めるとき、前記集合体単位内の入力端子あるいは入力側フリップフロップから各論理素子までの遅延時間を求め、同一遅延時間を持つ論理素子を同一接続段数とするようにしている。

【0007】

【作用】通常、論理シミュレーションで使用する各論理素子の信号値は、最大３２値程度、一般的には、４値もしくは８値の信号値レベルで表現される。これらの信号値を計算機上で取り扱うためには、２ビットあるいは３ビットのメモリ領域で表現可能であるが、従来１論理素子を１回の論理演算によって実行していた。本発明によれば、各論理素子の信号変化を多入力機能素子で１個に集約することができ、４値の信号レベルを取り扱う論理シミュレータでは、１語４バイトのデータ処理を行う計算機上では２入力ＡＮＤ素子の論理演算として、１６論理素子を１回の論理演算で取り扱うことができる。したがって、各論理素子間の信号変化を伝播するイベント量を削減することができると同時に、各論理素子の信号変化に伴う論理素子の論理演算処理を高速にできる。

【0008】

【実施例】以下、本発明の一実施例を図面により詳細に説明する。図１に、本発明の多入力機能素子を生成するための論理コンパイルフローを示す。図２に各論理素子間の信号名接続状態を示すネット表現テーブル構成を示す。該テーブルは信号名テーブルとネットテーブルからなる。図３に論理素子を表現した論理素子表現テーブル構成を示す。該テーブルは素子テーブルと信号値テーブルと出力値テーブルからなる。また、これらのテーブルの接続関連事例として、図８に対象論理回路の接続状態をネット表現テーブルと論理素子表現テーブルにより表現したものを示す。

【0009】図２のネット表現テーブルにおいて、２０１は信号名テーブルであり、各レコードには、信号名２０３と、接続元アドレス２０４、すなわち接続元の素子の素子テーブルのアドレスと、接続先アドレス２０５、すなわち接続先のネットテーブルのレコードアドレスが記述される。２０２はネットテーブルであり、テーブルの各レコードには、リンク２０６、すなわちリンクするネットテーブルのレコードアドレス（“０”はリンク無しを示す）と、端子位置２０７、すなわち素子テーブルのピン番号と、アドレス２０８すなわち接続先の素子の素子テーブルのアドレスが記述される。図３の論理素子表現テーブルにおいて、３１０は素子テーブル、３２０は信号値テーブル、３３０は出力値テーブルであり、ここでは、論理素子表現テーブルは、信号値、出力値を別テーブルにまとめて素子テーブルと信号値テーブル、出力値テーブルを分離することにより、複数論理素子の信号値、出力値を取り扱えるようにしているが、信号値、出力値は単独のテーブルとせずに素子テーブル３１０に含めることもできる。なお、これらテーブルの各項目については後述の説明において順次明らかにされる。

【0010】まず、論理回路のモデル化方法について図８のテーブル接続関連を用いて、詳細に説明する。図８（１）は、対象論理回路例を示したもので、この論理回路をネット接続状態を示す信号名テーブル、ネットテーブルと各論理素子の機能を表わす素子テーブルに設定した事例を図８（２）に示す。本事例では、たとえば、図８（１）の信号線Ｆは信号名テーブル８０１の第６番目のレコードにその信号名称を設定し、その接続元アドレスとして素子テーブル８０３のｆを示し、接続先アドレスは、ネットテーブル８０２の該当接続先を示すレコード番号６を設定する。なお、ここでは素子テーブルは簡略化されたものが示されている。また、ネットテーブル８０２では、同一信号線が複数の接続先を持つとき、リンク情報として、各接続先の素子テーブルのアドレスを持つレコードを順次生成する。本事例では、信号線Ｆは、接続元として素子テーブルｆより接続され、接続先としてネットテーブル８０２のレコード６で示される素

5 6

子テーブルｇのピン番号２と、レコード７で示される素子テーブルｈのピン番号１に接続していることを示す。また素子テーブルｇは、出力信号線として、信号線名Ｇを持つ信号名テーブル８０１のｃ（レコードアドレス）に接続している。さらに、各論理素子の信号値は、該当素子テーブル８０３から直接参照できる部分に各入力端子・出力端子毎に持ち、論理素子の演算とその結果を容易に設定できる方法とする。本事例では、素子テーブル８０３内に準備したｖ１・ｖ２がそれぞれ入力端子ピン番号１・入力端子ピン番号２の入力信号値領域を表し、ｏｖが出力信号値領域を表す。

【0011】これらの論理素子表現テーブルとネット表現テーブルの作成方法を、図１の論理コンパイルフロー、図２のネット表現テーブル構成、図３の論理素子表現テーブル構成、および、図６の論理回路例を用いて説明する。対象論理回路の信号変化発生要因に対応した論理回路の分割手段として、図１の論理コンパイルフローでは、まずステップ１０１において、シミュレーション対象論理回路内に存在する各論理素子を読み込み、各論理素子とフリップフロップ、あるいは対象論理回路の入出力端子との接続関連、および、各論理素子間の接続状態を信号名テーブル２０１とネットテーブル２０２、素子テーブル３１０および信号値テーブル３２０、出力値テーブル３３０に作成する。ステップ１０２では、あらかじめ入力カードや記憶媒体より指定されたクロックなどの制御信号線のパラメタをもとに、該当信号線から素子テーブル３１０の素子機能３１１がフリップフロップを示す部分までの接続状態、すなわち図６の論理回路例で示す入力端子ＣＫ０からフリップフロップ６１１、６１２、６１３の接続状態および、入力端子ＣＫ１からフリップフロップ６６１、６６２、６６３までの接続状態を上記信号名テーブル２０１、ネットテーブル２０２と素子テーブル３１０、出力値テーブル３３０を用いてトレースし、各制御信号単位にフリップフロップ論理素子の分割区分３１８に番号を付加し分類する。図６の論理回路例では、各フリップフロップの分割区分として、入力端子ＣＫ０から接続されるフリップフロップ６１１、６１２、６１３については番号１を設定し、入力端子ＣＫ１から接続されるフリップフロップ６６１、６６２、６６３については番号２を設定する。つぎのステップ１０３では、分割区分３１８が同一のフリップフロップ論理素子を抽出し、その論理素子の接続先をネット表現テーブルと論理素子表現テーブルを用いて、順次トレースし、分割区分番号が異なるフリップフロップ論理素子、あるいは、対象論理回路の入出力端子を各論理素子グループの端点として、その間に囲まれる論理素子の素子表現テーブルの分割区分３１８に、トレース開始のフリップフロップ素子の分割区分３１８と同じ数値を付加し、各制御信号線ごとに同一分割区分の番号単位とすることにより、対象論理回路の各論理素子を制御信号線単位の集合体に分割する。

【0012】ステップ１０４では、分割した集合体単位すなわち、分割区分３１８が同一の各論理素子に対応する素子テーブル３１０の出力値アドレス３１７から対象集合体の出力端子であるフリップフロップや対象論理回路の出力端子までの論理素子段数を素子テーブル３１０と信号名テーブル２０１とネットテーブル２０２を対象素子テーブル３１０からトレースし、素子テーブル３１０の通過回数を算出し、各素子テーブル３１０の接続段数３１３に該素子の出力端点までの接続段数を示す通過回数を設定する。

【0013】さらに、ステップ１０５で分割区分３１８が同一の対象集合体のうち出力端点まで同一接続段数にある素子テーブル３１０の素子機能３１１および入力端子数を示す入力数３１４が同一である論理素子を素子テーブルから抽出し、また素子遅延時間を用いる論理シミュレーションでは、同一遅延時間を持つ論理素子を抽出条件として用いて、上記同一条件が成立する論理素子を多入力素子としてまとめ、新たな素子テーブル３１０を作成する。該当素子の接続状態として、まとめた論理素子数を素子数３１５に設定し、また各素子の入力端子の信号値テーブル３２０は各素子の取りまとめ順ｎに従って、信号値ｎ１，信号値ｎ２のように配列し、各素子の出力値３３１についても出力値ｎ，信号名テーブル２０１のアドレス３３２をアドレスｎで示すように配列するとともに、ネットテーブル２０２の端子位置２０７についても素子の取りまとめ順ｎと各素子の入力端子番号を分類し、さらに、素子テーブルアドレス２０８も新たに作成した多入力素子の素子テーブル３１０を示すアドレスに更新する。ここで、多入力論理素子のための新たな素子テーブルが作成されて、不要となった素子テーブル３１０、信号値テーブル３２０、出力値テーブル３３０は、論理素子のための新たな登録エリアとして利用する。一方、対象集合体を抽出するためのフリップフロップについても、ステップ１０２で制御信号単位に分割した分割区分３１８と素子機能３１１が同一であり、さらに、入力数３１４が同一であるものをまとめ、多入力論理素子として、新たな素子テーブル３１０および信号値テーブル３２０、出力値テーブル３３０を作成する。

【0014】以上の処理ステップにより、図６の論理回路例は、図７に示す処理結果論理モデルのように表現される。このように、単一論理素子を多入力論理素子として生成することができ、論理シミュレータでのシミュレーション対象論理素子数を削減できる。

【0015】これらの論理コンパイル結果を用いた論理シミュレーション手順について、まず、論理シミュレーションにおける信号変化の伝播方法としての、各論理素子の入力端子に接続する信号線の信号値が変化した論理素子のみを対象とした論理素子の出力信号値算出を行うことを特徴とするイベントドリブン方式での信号伝播手

図について、図8のテーブル接続関連と図9のイベント処理方法を用いて詳細に説明する。図8（1）の論理素子eの信号伝播遅延時間を2とし、論理素子fの信号伝播遅延時間を1としたとき、時刻tにおいて、入力端子A，B，C，DにそれぞれHighの信号値を与えたとき、図9（1）で示すように、タイムホイール上の時刻tのイベントとして、論理素子e、論理素子fの出力値計算を行うための信号変化イベントがイベントテーブルに登録される。

【0016】次に、シミュレーション時刻がtとなったとき、時刻tに対応するイベントテーブルのエントリに登録されている最初のイベントを取り出し、そのイベントが示す論理素子eの出力値計算を行い、その出力値を伝播するために、図8（2）のテーブル803の素子eの接続先アドレスからテーブル801の信号名テーブルを介し、テーブル802のネットテーブル上に登録されている信号接続先の論理素子テーブルのアドレスを検索し、該当アドレスgを現時刻から素子の信号値伝播遅延時間2を示す時刻t＋2のイベントとしてイベントテーブルに登録する。また、時刻tに対応するイベントテーブルのエントリにリンクされたエントリに登録されている論理素子fのイベントを取り出し、そのイベントが示す論理素子fの出力値計算を行うとともに、出力信号値の伝播先である論理素子g、hのイベントをタイムホイール上の現時刻t＋1に対応するイベントテーブルのエントリに登録する。時刻tに対応するイベントテーブルのエントリに登録されたイベントをすべて処理したのち、時刻を進め、次の時刻のイベント処理を同様に行い論理回路上で発生する信号変化を逐次後段の論理へ伝播することにより論理回路シミュレーションを実行する。

【0017】次に、本発明における論理シミュレーション実行手順について詳細に説明する。図4の論理シミュレーション実行フローは、まず、ステップ401において論理コンパイルで生成した論理表現テーブルの信号名テーブル201、ネットテーブル202、素子テーブル310、信号値テーブル320、出力値テーブル330をメモリ上に作成し、各論理素子信号値の初期値を不定値として設定するとともに、信号値の変化を伝播するためのイベントテーブルを作成し、シミュレーション時間を0に設定する。ステップ402において、あらかじめDISCなどに準備した入力信号値等の入力データを読み込み、該当シミュレーション時間に相当する入力信号値を与えるべき該当信号線について、その信号名テーブル201の接続先アドレス205が示すネットテーブル202のアドレス208から素子テーブル310と端子位置207により信号値テーブルの設定位置を求め、素子テーブルの入力値アドレスが接続する信号値テーブル320の端子位置207が示す入力信号値321に信号値を伝播するとともに、該当信号値伝播先の素子テーブル310のフラグ312がオフのとき、該当論理素子に対する信号変化イベントをイベントテーブル502に登録する。素子テーブル310のフラグ312は、該当論理素子に対してすでにイベントを登録していることを示す。すなわち素子テーブル310のフラグ312がオンとなっているときは、該当論理素子へのイベント登録を行わない。本手法を施すことにより、同一論理素子へ重複してイベント登録することを抑止し、処理イベント数を削減する。

【0018】ステップ403では、タイムホイール501で示される時刻のイベントテーブル502に登録されている素子アドレス503の示す素子テーブル310を読み込み、該当論理素子のフラグ312をオフにするとともに、集合体の全入力信号値に対する全出力信号値を算出し、ステップ404において、集合体の各論理素子の出力信号値331と算出結果の出力信号値を比較し、出力値に変化が生じたとき、ステップ405で出力値が変化した該当論理素子の出力信号値331の更新と、その信号線接続先のアドレス332が示す信号名テーブル201から素子テーブル310へのトレースを実施し、伝播先の信号値321に対し算出結果の信号値を伝播する。また、ステップ406で信号線接続先の素子テーブル310のフラグ312がオフであれば、ステップ407でそのフラグ312をオンに設定し、新たな信号変化イベントを各論理素子の遅延時間を加えた時間で示されるタイムホイール501の該当時間に対して、信号接続先の素子アドレスをイベント502に登録する。ステップ408で示すように、シミュレーション経過時間上の信号変化イベントがなくなるまで、ステップ403からステップ407の処理をくり返し、該当時間内のイベントがなくなったら、ステップ409において、シミュレーション経過時間を進め、シミュレーション終了時間までステップ402からステップ409の処理を繰り返す。発生した新信号変化イベントは、各論理素子の遅延時間を加えた時間で示されるタイムホイール501の該当時間に対して登録する。

【0019】このように、論理素子の信号変化イベントを各論理素子の集合体単位に発生し、また、各集合体の論理演算もまとめて実行し、さらに、同一論理素子への信号変化イベントを重複させないことにより、信号変化に対する計算機処理回数を削減できる。本手法の応用として、遅延時間を考慮した論理回路シミュレーションにおける論理コンパイル時の多入力論理素子作成手法は、図1のステップ103で分割した集合体に対して、ステップ104でフリップフロップの出力端子からの遅延時間をさらなる分割区分として用い、ステップ105では、各分割区分毎に同一機能素子でかつ同一入力端子数を持つ論理素子を1つの素子表現テーブルとしてまとめることにより、本手順による論理回路シミュレーションを実現できる。また、集合体毎にシミュレーションを実行できるため、並列計算機、ベクトル計算機等を用い

て、集合体を複数のプロセッサに分散させて並列処理することができる。

【0020】

【発明の効果】本発明によれば、論理回路シミュレーションにおける同一機能の論理素子を1つの集合体として用いることにより、論理回路の信号変化イベントを削減し、論理シミュレーションに要する計算機時間を削減することができる。また、並列計算機、ベクトル計算機等を用い、各論理素子の集合体を複数のプロセッサに分散し論理演算を並列に実行することができる。

【図面の簡単な説明】

【図1】多入力機能素子を生成するための論理コンパイルフローを示す図である。

【図2】ネット表現テーブルの構成を示す図である。

【図3】論理素子表現テーブルの構成を示す図である。

【図4】論理シミュレーション実行フローを示す図である。

【図5】イベントテーブルの構成を示す図である。

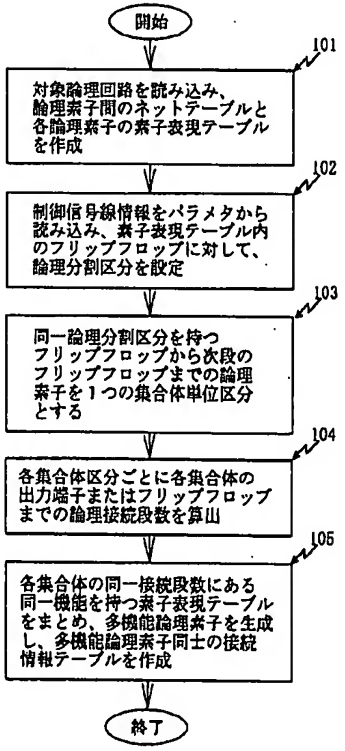
【図6】論理回路例を示す図である。

【図7】論理コンパイル処理結果の論理モデルを示す図である。

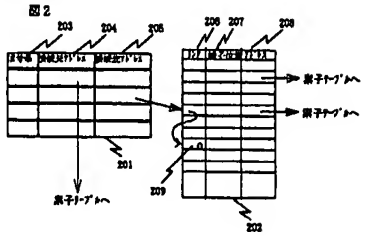
【図8】ネット表現テーブルと論理素子表現テーブルのテーブル接続関連の実例を示す図である。

【図9】イベント処理方法を説明するための図である。

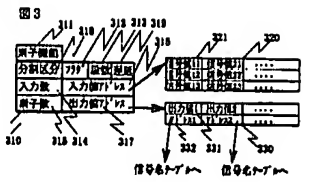
【図1】



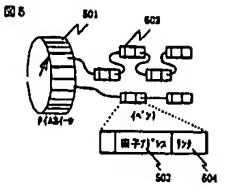
【図2】



【図3】

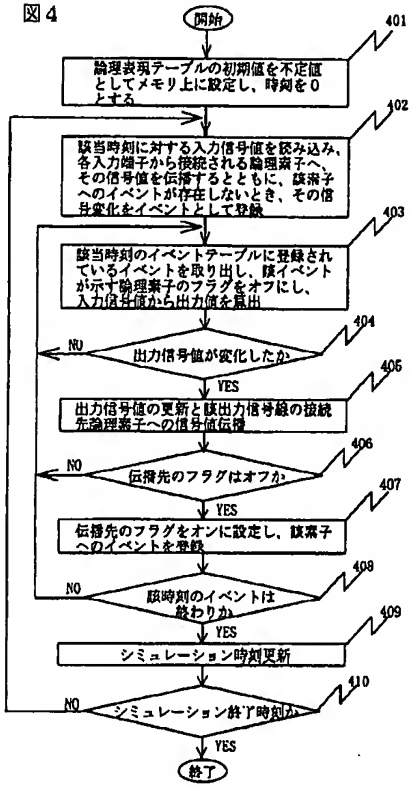


【図5】



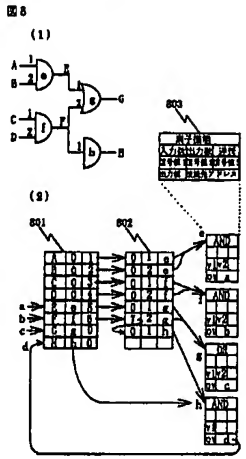
【図4】

図4



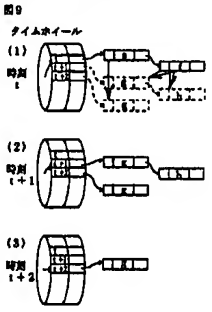
【図8】

図8



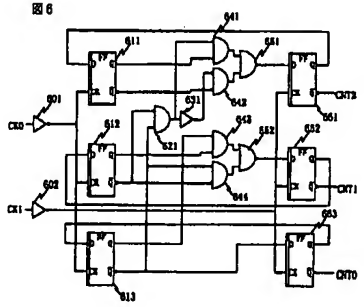
【図9】

図9



【図6】

図6



【図7】

図7